

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06339073 A**(43) Date of publication of application: **06.12.94**

(51) Int. Cl.

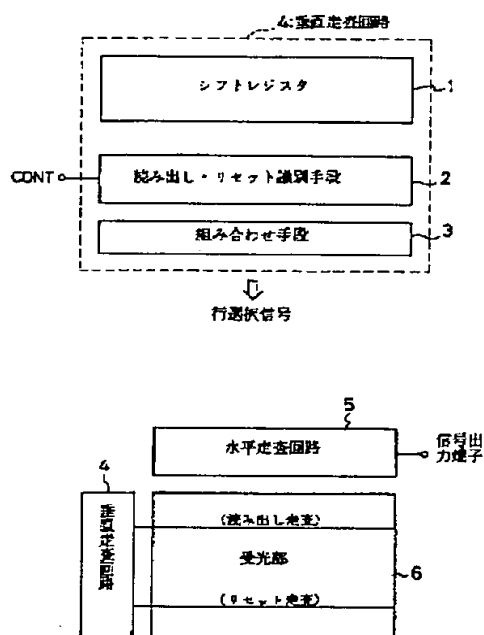
H04N 5/335(21) Application number: **05145476**(71) Applicant: **OLYMPUS OPTICAL CO LTD**(22) Date of filing: **26.05.93**(72) Inventor: **GOMI YUICHI**(54) **SOLID-STATE IMAGE PICKUP ELEMENT**

(57) Abstract:

PURPOSE: To obtain a solid-state image pickup element provided with a shutter function by a single vertical scanning circuit.

CONSTITUTION: A solid-state image pickup element is provided with a light receiving part 6 composed by two-dimensionally arraying photoelectric conversion elements, and vertical and horizontal scanning circuits 4 and 5 for successively reading the optical storage electric charge signals of the photodetector part 6. The vertical scanning circuit 4 is constituted of a shift register 1, a means 2 shifting a control signal CONT by the output of the shift register 1 and discriminating the timing of a reading and a reset by the level of a shifted control signal and a means 3 combining the output of the shift register 1 and the output of the reading/reset discrimination means 2 and outputting the line selection signals of the reading and the reset.

COPYRIGHT: (C)1994,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-339073

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl.⁵

H 0 4 N 5/335

識別記号

E

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 F D (全 15 頁)

(21) 出願番号 特願平5-145476

(22) 出願日 平成5年(1993)5月26日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 五味 祐一

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

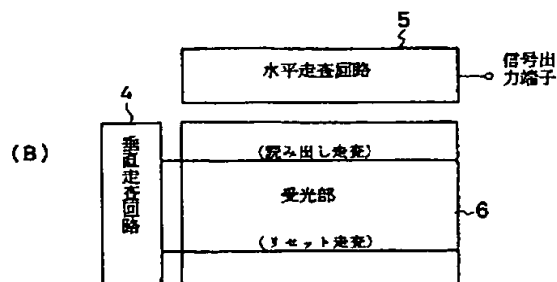
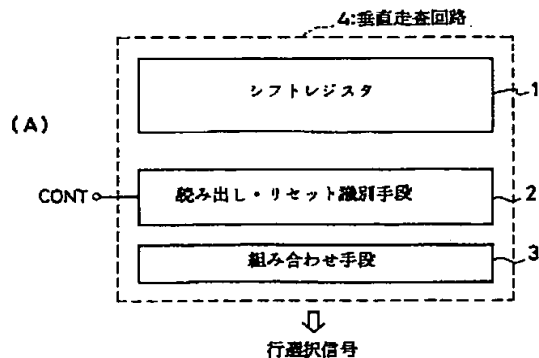
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【目的】 単一の垂直走査回路でシャッター機能をもたせた固体撮像素子を提供する。

【構成】 光電変換素子を2次元状に配列してなる受光部6と、該受光部6の光蓄積電荷信号を順次読み出すための垂直及び水平走査回路4、5とを備えた固体撮像素子において、垂直走査回路4を、シフトレジスタ1と、コントロール信号CONTをシフトレジスタ1の出力によりシフトし、シフトするコントロール信号のレベルにより読み出し及びリセットのタイミングを識別する手段2と、シフトレジスタ1の出力及び読み出し・リセット識別手段2の出力を組み合わせ、読み出し及びリセットの行選択信号を出力する手段3とで構成する。



【特許請求の範囲】

【請求項1】 光電変換素子を画素として行列状に2次元に配列した受光部と、該受光部の各画素の光蓄積電荷信号を順次アドレスして読み出すための水平及び垂直走査回路とを備えた固体撮像素子において、前記垂直走査回路を、読み出し及びリセットのタイミングでそれぞれパルスを順次シフトして出力させる手段と、該パルスシフト出力手段からシフトして出力されるシフトパルスとコントロール信号により前記読み出し及びリセットのタイミングを識別する手段と、前記パルスシフト出力手段及び読み出し・リセット識別手段からの出力により、前記読み出し及びリセットのタイミングでシフトされるパルスに同期して受光部の対応する画素行を順次選択する読み出し信号及びリセット信号を発生する手段とで構成したことを特徴とする固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、簡単な構成のシャッター機能をもつX-Yアドレス型の固体撮像素子に関する。

【0002】

【従来の技術】従来、固体撮像素子の多機能化としてシャッター機能を素子自体にもたせたものがあり、高速移動物体の撮影や、フリッカー対策など幅広い用途で用いられている。X-Yアドレス型固体撮像素子では、信号のリセットと読み出し操作のタイミングをずらして行うことにより、シャッター動作を行うことができる。このような動作を実現するために、従来は、例えば1987年テレビジョン学会全国大会予稿集4-7に示されるように、リセット及び読み出し操作の垂直走査回路を2個別々に設ける方法が知られている。

【0003】次に、この垂直走査回路を2個別々に設けてシャッター動作を行わせるようにした固体撮像素子の構成を図19に基づいて説明する。図19において、501は信号掃き出し用垂直走査回路、502は水平走査回路、503は信号読み出し用垂直走査回路、504は光電変換素子を画素として行列状に2次元に配列した受光部である。このような構成の固体撮像素子においてシャッター動作を行うには、信号掃き出し用垂直走査回路501を信号読み出し用垂直走査回路503より先行動作させて、掃き出し走査を行わせる。

【0004】例えば、信号掃き出し用垂直走査回路501が、信号読み出し用垂直走査回路503に対し、nライン分だけ先行して動作しているとすると、まず2次元に配列された受光部504の各画素は、信号掃き出し用垂直走査回路501の出力パルス及び水平走査回路502の出力パルスにより、順次光蓄積信号がリセットされる。そしてnラインの周期分だけ時間が経過した後、信号読み出し用垂直走査回路503及び水平走査回路502の出力パルスにより、各画素の光蓄積信号が読み出される。以上の動

作により、各画素信号はnラインの光蓄積時間ののち読み出されることになり、nライン周期分のシャッター時間nHでシャッター動作が行われたことになる。

【0005】この動作時において、各垂直走査回路501、503から出力される走査パルスのタイミングを図20に示す。ここで ϕ_v は各垂直走査回路501、503を動作させるための、周期が1水平走査期間(1H)のクロックであり、また501-1、501-2、501-3は信号掃き出し用垂直走査回路501の出力パルス、503-1、503-2、503-3は信号読み出し用垂直走査回路503の出力パルスであり、出力パルス501-1と503-1、出力パルス501-2と503-2、出力パルス501-3と503-3が、それぞれ同じ行に配列された画素行に接続された、リセット及び読み出しを制御する各水平ラインにそれぞれ与えられるようになっている。

【0006】以上説明したように、X-Yアドレス型固体撮像素子においては、位相のずれた垂直走査パルス列を実現することにより、シャッター動作が可能となる。

【0007】

【発明が解決しようとする課題】しかしながら、従来の垂直走査方式を用いてシャッター機能をもたせたX-Yアドレス型固体撮像素子を実現しようとすると、次に述べるような問題が生じる。すなわち、図19に示したように信号掃き出し用と信号読み出し用の2つの垂直走査回路をそれぞれ設けた場合、チップ面積が増大し、固体撮像素子のコストが増大してしまう。

【0008】本発明は、従来のシャッター機能を備えたX-Yアドレス型固体撮像素子における上記問題点を解消するためになされたもので、チップ面積増大の割合を低減しコストの増大を抑えた簡単な構成のシャッター機能を有する固体撮像素子を提供することを目的とする。

【0009】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、光電変換素子を画素として行列状に2次元に配列した受光部と、該受光部の各画素の光蓄積電荷信号を順次アドレスして読み出すための水平及び垂直走査回路とを備えた固体撮像素子において、前記垂直走査回路を、読み出し及びリセットのタイミングでそれぞれパルスを順次シフトして出力させる手段と、該パルスシフト出力手段からシフトして出力されるシフトパルスとコントロール信号により前記読み出し及びリセットのタイミングを識別する手段と、前記パルスシフト出力手段及び読み出し・リセット識別手段からの出力により、前記読み出し及びリセットのタイミングでシフトされるパルスに同期して受光部の対応する画素行を順次選択する読み出し信号及びリセット信号を発生する手段とで構成するものである。

【0010】このように構成した固体撮像素子においては、垂直走査回路を構成する読み出し信号及びリセット信号発生手段から出力される読み出し信号及びリセット

信号により、読み出し及びリセットのタイミングでシフトするパルスに同期して受光部の各画素行が選択され、各選択時点において光蓄積電荷信号の読み出し動作及びリセット動作が行われる。したがって、複数の垂直走査回路を必要とせず、チップ面積の増大を低減し、コストの増大を抑えたシャッター機能を有するX-Yアドレス型の固体撮像素子を実現できる。

【0011】

【実施例】次に実施例について説明する。図1の(A)は、本発明に係る固体撮像素子の基本的な実施例の主要部である垂直走査回路4を示す概念図である。図1の(A)において、1はシフトレジスタであり、2はコントロール信号CONTを用いて読み出し及びリセットのタイミングを識別する識別手段で、コントロール信号CONTを前記シフトレジスタ1の出力によりシフトし、このシフトするコントロール信号CONTのレベルにより読み出し及びリセットのタイミングの識別を行うものである。3は読み出し及びリセットの行選択信号を出力するために、シフトレジスタ1の出力及び読み出し・リセット識別手段2の出力を組み合わせる手段である。図1の(B)は、図1の(A)に示した垂直走査回路4を用いて構成した固体撮像素子を示すブロック図であり、5は水平走査回路、6は光電変換素子を2次元に配列してなる受光部である。

【0012】このように構成した固体撮像素子においては、垂直走査回路4における読み出し・リセット識別手段2において、シフトレジスタ1の出力によりシフトされるコントロール信号CONTのレベルにより、例えばコントロール信号CONTが“H”レベルの時は“読み出し”、“L”レベルの時は“リセット”と認識し、読み出し及びリセット動作それぞれに必要な信号が出力される。そして組み合わせ手段3において、シフトレジスタ1の出力及び読み出し・リセット識別手段2からの出力信号が組み合わせられ、読み出し信号及びリセット信号として出力される。この読み出し信号及びリセット信号により、読み出し及びリセットのタイミングでシフトするパルスに同期して受光部の各画素行が選択され、各選択時点において光蓄積電荷信号の読み出し動作及びリセット動作が行われる。これにより、複数の垂直走査回路を設けることなくシャッター機能をもたせることができる。

【0013】次に、具体的な実施例について説明する。図2は、本発明に係るシャッター機能を備えた固体撮像素子の第1の具体的な実施例の主要部である垂直走査回路の構成を示す回路構成図である。図2において、10は垂直走査回路に用いられるシフトレジスタで、10-0, 10-1, 10-2, ... はシフトレジスタ10の各段を構成するシフトレジスタユニットを示している。このシフトレジスタ10は、水平走査期間を1周期とする駆動パルス ϕ_v により、スタートパルス ϕ_{YST} をシフトする機能を有して

いる。12はシフトレジスタ10の出力によりシフトするコントロール信号CONTを用いて、読み出し・リセットを識別する回路で、各シフトレジスタユニット10-0, 10-1, 10-2, ... に対応する識別回路12の各段は、トランスファゲート13-1, 13-2, 13-3, ... 及び、2個のインバータ14-1, 14-2, 14-3, ... 、15-1, 15-2, 15-3, ... とで構成されている。

【0014】16はシフトレジスタ10の出力と読み出し・リセット識別回路12の出力を組み合わせる回路であり、リセットのタイミング信号発生用2入力AND17-1, 17-2, 17-3, ... と、読み出しのタイミング信号発生用2入力AND18-1, 18-2, 18-3, ... から構成されている。リセットのタイミング信号発生用2入力AND17-1, 17-2, 17-3, ... には、シフトレジスタ10の出力端子11-1, 11-2, ... からの出力及び読み出し・リセット識別回路12のインバータ14-1, 14-2, 14-3, ... の出力がそれぞれ入力され、読み出しのタイミング信号発生用2入力AND18-1, 18-2, 18-3, ... には、シフトレジスタ10の出力端子11-1, 11-2, ... からの出力及び読み出し・リセット識別回路12のインバータ15-1, 15-2, 15-3, ... の出力がそれぞれ入力されるようになってい

る。

【0015】次に、このように構成された垂直走査回路の動作を、図3に示したタイミング図に基づいて説明する。この垂直走査回路においては、1垂直走査期間中に、駆動パルス ϕ_v 1周期分“H”レベルとなる2個のパルスをシフトレジスタ10のスタートパルス ϕ_{YST} として、シフトレジスタ10中をシフト動作させる。ここで2個の“H”レベルとなるパルスは、一方がリセットのタイミング、他方が読み出しのタイミングに対応する。図3に示したスタートパルス ϕ_{YST} においては、 $t_0 \sim t_1$ 期間“H”レベルとなるタイミングがリセットに、 $t_2 \sim t_3$ 期間“H”レベルとなるタイミングが読み出しにそれぞれ対応する。

【0016】このようなスタートパルス ϕ_{YST} を入力すると、シフトレジスタ10の各シフトレジスタユニット10-0, 10-1, 10-2, ... の出力端子11-0, 11-1, 11-2, ... には、それぞれ図3において、これらの出力端子と同じ符号11-0, 11-1, 11-2, ... で示されるパルスが出力される。コントロールパルスCONTは、読み出し・リセット識別回路12中のコントロール信号CONTのレベルが“L”レベルの時はリセット、“H”レベルの時は読み出しと認識されるようにしており、読み出し・リセット識別回路12中のコントロール信号CONTは、シフトレジスタ10の出力によりシフトされるため、インバータ15-1, 15-2, 15-3, ... の出力は、それぞれ図3において、インバータと同じ符号15-1, 15-2, 15-3, ... で示される信号のようになる。

【0017】したがって、組み合わせ回路16におけるリセットのタイミング信号発生用2入力AND17-1, 17-

2. 17-3の出力は、それぞれ $t_2 \sim t_3$, $t_3 \sim t_4$, $t_4 \sim t_5$ の期間“H”レベルとなるリセット信号19-1, 19-2, 19-3を発生する。また読み出しのタイミング信号発生用2入力AND18-1, 18-2, 18-3の出力は、それぞれ $t_8 \sim t_9$, $t_9 \sim t_{10}$, $t_{10} \sim t_{11}$ の期間

“H”レベルとなる読み出し信号20-1, 20-2, 20-3を発生する。そして、これらのリセット信号19-1, 19-2, …及び読み出し信号20-1, 20-2, …を受光部の行選択線に与えることにより、画素行を順次選択し、各画素のリセット及び読み出し動作を行わせる。

【0018】以上説明したように、図2に示した構成の垂直走査回路によれば、リセット及び読み出しのタイミングでシフトされるパルスの位相差に相当する光蓄積時間をもつシャッター動作を行わせることができ、X-Yアドレス方式で信号を読み出す固体撮像素子に適用できる。

【0019】なお、上記第1実施例では、シフトレジスタにおいて、駆動パルス1周期分“H”レベルであるパルスを情報の伝達に用いたものを示したが、勿論“L”レベルの部分も情報伝達に使うことも可能であり、またコントロール信号についても、読み出し・リセット識別の情報伝達レベルは、上記実施例と異ならせることが可能なことは明らかである。

【0020】図4は、図2に示した第1実施例の垂直走査回路の変形例を示す回路構成図で、図2に示した垂直走査回路と同一又は対応する部材には同一符号を付して示している。この変形例は、読み出し・リセット識別回路12のコントロール信号CONTのシフト動作を間引くように構成したもので、素子数を減らすことが可能となるものである。この変形例では、コントロール信号CONTのシフト動作は、2段ずつとしたものを示したが、更にシフト動作を間引くように構成することも可能である。

【0021】次に、第2の具体的な実施例として、本発明を増幅型光電変換素子であるCMD (Charge Modulation Device) を受光素子として用いた固体撮像素子に適用した場合の垂直走査回路について説明する。CMD受光素子から映像信号を出力させる場合、2次元アレイ状に配列されたCMD受光素子の各行の共通ゲートラインに印加する信号としては、図5に示すように、蓄積電圧 V_{INT} 、オーバーフロー電圧 V_{OF} 、読み出し電圧 V_{RD} 及びリセット電圧 V_{RST} の4つの電圧を時系列に組み合わせたパルス ϕ_{G1} , ϕ_{G2} , …が必要とされる。

【0022】次に、まず、このような4つの電圧を時系列に組み合わせたゲート印加信号を用いた最も一般的な読み出し方式の場合について説明する。非選択行においては、映像信号の水平有効期間中は蓄積電圧 V_{INT} 、水平帰線期間中はオーバーフロー電圧 V_{OF} となり、また選択行においては、映像信号の水平有効期間中は読み出し電圧 V_{RD} 、水平帰線期間中はリセット電圧 V_{RST} が必要

とされている。このような信号をCMD受光素子のゲートに印加するためには、選択/非選択の2値の論理出力が各走査段から得られる構成の回路と、レベルミックス回路とを備えた垂直走査回路が用いられる。

【0023】レベルミックス回路としては、図6に示すような構成のものがある。図6において、クロック V_{CK1} の“L”レベルが映像信号の水平有効期間に、

“H”レベルが水平帰線期間に対応している。またRD/RS信号は、クロック V_{CK1} のレベルが“H”の期間はリセット電圧 V_{RST} に、“L”の期間は読み出し電圧 V_{RD} となる信号である。

【0024】図7は、図6に示したレベルミックス回路の動作タイミングを示す図である。Sは選択/非選択信号であり、“L”レベルが選択、“H”レベルが非選択となる。選択/非選択信号Sが“L”レベルの期間には、出力に読み出し電圧 V_{RD} 又はリセット電圧 V_{RST} が現れ、一方、選択/非選択信号Sが“H”レベルの期間には、出力にオーバーフロー電圧 V_{OF} 又は蓄積電圧 V_{INT} が現れ、4値のレベルのゲートライン印加信号Gが得られる。このゲートライン印加信号GがCMD受光素子の共通のゲートラインに印加されると、その行の光蓄積期間は、図7において、 $t_1 \sim t_2$ の期間となる。したがって、レベルミックス回路に入力される選択/非選択信号Sのタイミングを制御することにより、可変シャッター動作を実現することができる。

【0025】図8は、第2の具体的な実施例の垂直走査回路を示す回路構成図である。図8において、100は垂直走査回路に用いられるシフトレジスタで、100-0, 100-1, 100-2, …はシフトレジスタ100を構成している各段のシフトレジスタユニットである。このシフトレジスタ100は、水平走査期間を1周期とする駆動パルス ϕ_Y によりスタートパルス ϕ_{YST} をシフトする機能を有している。110はシフトレジスタ100の出力によりシフトするコントロール信号CONTを用いて、読み出し・リセットのタイミングを識別する回路で、各シフトレジスタユニット100-0, 100-1, 100-2, …に対応する識別回路110の各段は、コントロール信号CONTをシフトするために、トランスファゲート130-1, 130-2, 130-3, …と、2個のインバータ140-1, 140-2, 140-3, …及び150-1, 150-2, 150-3, …とを備え、更に画素としてCMD受光素子を用いた場合、前述したとおり読み出し動作とリセット動作の行われる期間が1水平走査期間内で異なるため、コントロール信号CONTのレベルにより読み出しの期間を与えるクロック ϕ_{RD} と、リセットの期間を与えるクロック ϕ_{RS} を切り換え出力するトランスファゲート160-1, 160-2, 160-3, …及び170-1, 170-2, 170-3, …とを備えて構成されている。なお、この実施例では、コントロール信号CONTをシフトさせるためのトランスファゲートに、図2に示した第1実施例と異なりCMOSスイッチ

を用いているが、勿論第1実施例と同様に構成することは可能であり、またクロック ϕ_{rd} と ϕ_{rs} の切り換えのためのトランスファゲートにおいても同様である。

【0026】120は、シフトレジスタ100の出力と、読み出し・リセット識別回路110の出力を組み合わせる回路であり、該組み合わせ回路120の各段は、シフトレジスタ100の出力及び読み出し・リセット識別回路110の出力が入力される2入力NAND180-1, 180-2, 180-3, ...で構成されている。そして該組み合わせ回路120の出力は、前述したレベルミックス回路LMに入力され、出力信号 G_1, G_2, G_3, \dots を得るように構成されている。

【0027】図9は、図8に示した垂直走査回路の動作を説明するためのタイミングチャートである。 ϕ_{rst} はシフトレジスタ100のスタートパルスで、リセット及び読み出し動作に対応するタイミングで“H”レベルとなっている。コントロール信号CONTは、リセットを“L”レベルで、読み出しを“H”レベルで認識するようにしている。 ϕ_{rd} は、CMDを受光素子とした場合、読み出し動作が行われる水平有効期間中“H”レベルとなるクロックであり、 ϕ_{rs} はリセット動作が行われる水平帰線期間中“H”レベルとなるクロックである。 S_0, S_1, S_2, S_3 は、図8に示したシフトレジスタ100の各段のシフトレジスタユニット100-0, 100-1, 100-2, 100-3の出力である。 C_1, C_2, C_3 は、図8に示した読み出し・リセット識別回路110中をシフトレジスタ100の出力でシフトするコントロール信号である。 D_1, D_2, D_3 は、前記読み出し・リセット識別回路110の出力であり、該出力 D_1, D_2, D_3 は、それぞれ読み出し・リセット識別回路110中をシフトするコントロール信号 C_1, C_2, C_3 が“H”レベルの時はクロック ϕ_{rd} が出力され、“L”レベルの時はクロック ϕ_{rs} が出力される。

【0028】 M_1, M_2, M_3 は、図8に示した組み合わせ回路120の出力であり、リセットのタイミングでは、CMD受光素子のリセット期間である水平帰線期間のみ順次“L”レベルとなり、読み出しのタイミングでは、CMD受光素子の読み出し期間である水平有効期間のみ順次“L”レベルとなる。 G_1, G_2, G_3 は、前記組み合わせ回路120の出力 M_1, M_2, M_3 をレベルミックス回路LMに入力した時の出力信号であり、CMD受光素子を動作させるため、各行の共通ラインに印加される4値レベルのゲートライン印加信号となっている。

【0029】以上説明したように、図8に示した構成の第2実施例の垂直走査回路によれば、リセット及び読み出しのタイミングでシフトされるパルスの位相差に相当する光蓄積時間をもつシャッター動作を行うことができる。

【0030】なお、上記第2実施例においては、第1実

施例と同様に、シフトレジスタにおいて“H”レベルのパルスを情報の伝達に用いたものを示したが、勿論

“L”レベルの部分の情報伝達に使うことも可能であり、コントロール信号についても“H”レベルで読み出しと認識し、“L”レベルでリセットと認識するようにしたものでも示したが、このレベルは本実施例と異なせることが可能なことは明らかである。また第1実施例と同様に、コントロール信号のシフト動作を間引き、素子数を減らすように構成することも可能である。

【0031】次に、第3の具体的な実施例について説明する。この実施例は、1行インターレース走査とノンインターレース走査の切り換えが可能であり、また1行インターレース走査ではフィールド蓄積とフレーム蓄積とがあるが、いずれの方式も可能に構成した固体撮像素子に本発明を適用したものである。なお、本実施例においても、受光素子としてCMDを用いた場合の垂直走査回路について説明する。

【0032】まず本実施例の垂直走査回路に用いるシフトレジスタの回路構成を図10に基づいて説明する。このシフトレジスタは、図10において破線で囲んだクロックドインバータ2段によってシフトレジスタの1ユニット200-0, 200-1, 200-2, ...を構成したものであり、このシフトレジスタをシンボルを用いて示すと、図11のように表される。図10, 11において、 $\phi_{v1A}, \phi_{v1B}, \phi_{v2A}, \phi_{v2B}$ は、それぞれクロック $\phi_{v2A}, \phi_{v1A}, \phi_{v2B}, \phi_{v1B}$ の反転クロックを示している。

【0033】図12, 13, 14に、上記構成のシフトレジスタの動作を説明するためのタイミングチャートを示す。このシフトレジスタに用いるクロックは2相であり、図12, 13, 14に示すように、この2相クロックを制御することによりシフト動作が変わるようになっている。シフトレジスタの初段ユニット200-0にスタートパルス ϕ_{rst} が印加されることにより、クロック ϕ_{v1A} 又は ϕ_{v1B} の立ち下がりに同期して各シフトレジスタユニット200-0, 200-1, 200-2, ...の出力 S_0, S_1, S_2, \dots が現れる。

【0034】図12においては、クロック ϕ_{v1A} と ϕ_{v1B} 、並びにクロック ϕ_{v2A} と ϕ_{v2B} とを同じクロックすることによって、順次シフトした出力 S_0, S_1, S_2, \dots が現れる。図13, 14においては、クロック ϕ_{v1B} と ϕ_{v2B} 又はクロック ϕ_{v1A} と ϕ_{v2A} を“L”レベルに固定することによって、それらのクロックが入力されるシフトレジスタユニットの入出力レベルが同じになり、図13, 14に示すように、2ユニット毎にシフトした出力が現れる。

【0035】図15は、上記図10, 11に示したシフトレジスタを用いた第3実施例の垂直走査回路を示す回路構成図である。図15において、200は水平走査期間を1周期とする駆動パルスによりパルスをシフトする図10, 11に

示した構成のシフトレジスタであり、前述したように、駆動パルスを制御することにより、シフト動作を変えることができる。210は、シフトレジスタ200の出力によりシフトするコントロール信号CONTを用いて、読み出し・リセットのタイミングを識別する回路であり、コントロール信号CONTをシフトさせるためのトランスファゲートと2個のインバータを、図4に示した第1実施例の変形例と同様に、2段毎に設け、素子数を減らしている。また、画素としてCMD受光素子を用いた場合に、1水平走査期間中の読み出し及びリセットの期間を与えるクロックラインを2系統ずつとし、それぞれクロック ϕ_{RDA} 、 ϕ_{RDB} と、クロック ϕ_{RSA} 、 ϕ_{RSB} を印加するようになっている。

【0036】クロック ϕ_{RDA} 、 ϕ_{RSA} が印加されるラインは、コントロール信号CONTのレベルにより出力を切り換える奇数段のトランスファゲートに接続されている。一方、クロック ϕ_{RDB} 、 ϕ_{RSB} が印加されるラインは、偶数段のトランスファゲートに接続されている。したがって、コントロール信号CONTにより読み出しのタイミングと認識された時は、奇数段ではクロック ϕ_{RDA} が、偶数段ではクロック ϕ_{RDB} が出力に現れ、リセットのタイミングと認識された時は、奇数段ではクロック ϕ_{RSA} が、偶数段ではクロック ϕ_{RSB} がそれぞれ出力に現れる。

【0037】220は、シフトレジスタ200の出力と読み出し・リセット識別回路210の出力を組み合わせる回路であり、それぞれの出力が入力される2入力NANDにより構成されている。この2入力NANDの出力が入力されるLMは、第2実施例と同様の構成のレベルミックス回路である。

【0038】次に、このように構成した垂直走査回路の動作について説明する。ノンインターレース走査の場合は、図8に示した第2実施例と同じ動作を行えばよい。したがって、シフトレジスタ200は、図12に示したように、クロック ϕ_{V1A} と ϕ_{V1B} 、及びクロック ϕ_{V2A} と ϕ_{V2B} を同一とし、各段のシフトレジスタユニットからの出力が順次シフトされるようにする。読み出し・リセット識別回路210においては、読み出し期間を与えるクロック ϕ_{RDA} 、 ϕ_{RDB} を、第2実施例と同様に、水平有効期間中“H”レベルとなるパルスとし、リセット期間を与えるクロック ϕ_{RSA} 、 ϕ_{RSB} を、水平帰線期間中“H”レベルとなるパルスとする。このように設定することにより、図15に示した垂直走査回路は、図8に示した第2実施例と同じ動作を行い、ノンインターレース走査が行われる。

【0039】次に、1行インターレース走査について、図16のタイミングチャートに基づいて説明する。1行インターレース走査は、一方のフィールドで奇数行の画素信号を読み出し、他方のフィールドで偶数行の画素信号を読み出し、1フレームを構成する走査方法である。図

16においては、奇数行の信号が読み出されるフィールドをAフィールド、偶数行の信号が読み出されるフィールドをBフィールドとしている。またAフィールドで読み出される信号の光蓄積時間を決めるリセットタイミングのスタートパルスから、Bフィールドで読み出される信号の光蓄積時間を決めるリセットタイミングのスタートパルスまでをRSAフィールドとし、Bフィールドで読み出される信号の光蓄積時間を決めるリセットタイミングのスタートパルスから、Aフィールドで読み出される信号の光蓄積時間を決めるリセットタイミングのスタートパルスまでをRSBフィールドとしている。

【0040】 ϕ_{VST} はシフトレジスタ200のスタートパルスで、読み出し及びリセットに対応するタイミングで“H”レベルとなる。コントロール信号CONTは、読み出しを“H”レベルで認識し、リセットを“L”レベルで認識するようにしている。クロック ϕ_{RDA} は、AフィールドでCMD受光素子の読み出し期間となる水平有効期間中“H”レベルとなるクロック信号とし、Bフィールドでは常時“L”レベルとする。クロック ϕ_{RDB} は、Bフィールドでクロック ϕ_{RDA} のAフィールドと同様のクロック信号とし、Aフィールドでは常時“L”レベルとする。クロック ϕ_{RSA} は、RSAフィールドでCMD受光素子のリセット期間となる水平帰線期間中“H”レベルとなるクロック信号とし、RSBフィールドでは常時“L”レベルとする。クロック ϕ_{RSB} は、RSBフィールドで、クロック ϕ_{RSA} のRSAフィールドと同様のクロック信号とし、RSAフィールドでは常時“L”レベルとする。

【0041】 $S_0 \sim S_4$ は、シフトレジスタ200の出力であり、ここでは、シフトレジスタ200の駆動パルスを図14に示したと同様に、クロック ϕ_{V1B} と ϕ_{V2B} はクロック信号とし、クロック ϕ_{V1A} と ϕ_{V2A} は常時“L”レベルとして、シフトレジスタ出力の S_1 と S_2 、 S_3 と S_4 が同じタイミングになるように動作させている。

【0042】 $M_1 \sim M_4$ は、組み合わせ回路220の出力である。読み出しのタイミングにおいて、読み出し・リセット識別回路210の出力は、奇数段でクロック ϕ_{RDA} 、偶数段でクロック ϕ_{RDB} となる。Aフィールドにおいては、 ϕ_{RDA} はCMD受光素子の読み出し期間となる水平有効期間中“H”レベルとなるクロックであるので、組み合わせ回路220の奇数段の出力 M_1 、 M_3 、...は、シフトレジスタ200の出力が“H”レベルとなる時、水平有効期間に“L”レベルとなる。一方、 ϕ_{RDB} は常時“L”レベルであるので、組み合わせ回路220の偶数段の出力 M_2 、 M_4 、...は常時“H”レベルとなる。Bフィールドにおいては、 ϕ_{RDA} は常時“L”レベル、 ϕ_{RDB} はクロック信号であるので、組み合わせ回路220の奇数段の出力 M_1 、 M_3 、...は常時“H”レベルとなり、偶数段の出力 M_2 、 M_4 、...はシフトレジスタ出力が“H”レベルとなる時、水平有効期間に

“L”レベルとなる。

【0043】一方、リセットのタイミングにおいては、読み出しのタイミングと同様に、RSAフィールドでは、組み合わせ回路220の奇数段の出力 M_1, M_3, \dots が、シフトレジスタ200の出力が“H”レベルとなる時、CMD受光素子のリセット期間となる水平帰線期間に“L”レベルとなり、偶数段の出力 M_2, M_4, \dots は常時“H”レベルである。一方、RSBフィールドでは、奇数段の出力 M_1, M_3, \dots が常時“H”レベルであり、偶数段の出力 M_2, M_4, \dots は、シフトレジスタ200の出力が“H”レベルとなる時、水平帰線期間に“L”レベルとなる。

【0044】 $G_1 \sim G_4$ は、レベルミックス回路LMの出力であり、前記組み合わせ回路220の出力 $M_1 \sim M_4$ を入力することにより、CMD受光素子を動作させるための4値レベル信号が出力され、各行の共通ラインに印加される。

【0045】以上説明したように、図15に示した構成の垂直走査回路によれば、リセット及び読み出しのタイミングでシフトされるパルスの位相差に相当する光蓄積時間をもつシャッター動作を行うことができ、クロックを制御することによって、1行インターレース走査とノンインターレース走査とを切り換えることができる。

【0046】なお、上記第3実施例においても、前記第1及び第2実施例と同様に、“H”、“L”の情報レベルは、第3実施例で示したものと異ならせることが可能であり、またコントロール信号のシフト動作を更に間引き、素子数を更に減らすことも可能なことは明らかである。また図15に示した垂直走査回路の構成においては、各段のシフトレジスタユニットの出力負荷が均一ではないが、ダミーのトランジスタを設けることにより、出力負荷を均一にすることができる。

【0047】次に第4の具体的な実施例について説明する。この実施例は、標準テレビ方式として一般に用いられている2行混合インターレース走査とノンインターレース走査とを切り換え可能にした固体撮像素子に、本発明を適用したものであり、本実施例においても、受光素子としてCMDを用いた場合の垂直走査回路について説明する。図17は、第4実施例の垂直走査回路の回路構成図である。図17において、300は、水平走査期間を1周期とする駆動パルスによりスタートパルス ϕ_{YST} をシフトするシフトレジスタであり、図15に示した第3実施例と同様に、駆動パルスの制御によりシフト動作を変えることができるように構成されている。310は、シフトレジスタ300の出力によりシフトするコントロール信号CONTを用いて、読み出し及びリセットを識別する回路であり、コントロール信号CONTをシフトさせるためのトランスファゲートと2個のインバータを、2段毎に設けている。なお、符号MDで示したトランジスタは、各段のシフトレジスタユニットの出力負荷を均一にする

ために設けたダミー用トランジスタである。また読み出し・リセット識別回路310には、画素としてCMD受光素子を用いた場合に、コントロール信号CONTのレベルにより、1水平走査期間中の読み出し及びリセットの期間を与えるクロックを切り換え出力するトランスファゲートを各段に設けている。

【0048】そして読み出しの期間を与えるクロックラインは1系統で、全段のトランスファゲートに接続され、クロック ϕ_{RD} が印加されるようになっている。一方、リセットの期間を与えるクロックラインは4系統で、それぞれのラインは4段おきにクロック $\phi_{RS1}, \phi_{RS2}, \phi_{RS3}, \phi_{RS4}$ が印加されるようになっている。したがって、コントロール信号CONTによって読み出しのタイミングと認識された時は、各段ともクロック ϕ_{RD} が出力に現れ、リセットのタイミングと認識された時は、4段おきの1, 5, 9, ...段ではクロック ϕ_{RS1} が、2, 6, 10, ...段ではクロック ϕ_{RS2} が、3, 7, 11, ...段ではクロック ϕ_{RS3} が、4, 8, 12, ...段ではクロック ϕ_{RS4} が出力に現れるようになっている。

【0049】320は、シフトレジスタ300の出力と読み出し・リセット識別回路310の出力とを組み合わせる回路であり、該組み合わせ回路320の各段は、それぞれの出力が入力される2入力NANDで構成されている。そして、この組み合わせ回路320の出力は、第2実施例と同様に構成されたレベルミックス回路LMに入力されるようになっている。

【0050】次に、図17に示した垂直走査回路の動作について説明する。ノンインターレース走査の場合は、図15に示した第3実施例と同様に考え、第2実施例と同様な動作をさせればよい。したがって、シフトレジスタ300は、クロック ϕ_{V1A} と ϕ_{V1B} 及びクロック ϕ_{V2A} と ϕ_{V2B} を同一とし、各段のシフトレジスタユニットからの出力が順次シフトされるようにする。読み出し・リセット識別回路310においては、読み出し期間を与えるクロック ϕ_{RD} を水平有効期間中“H”レベルとなるクロックパルスとし、リセット期間を与えるクロック $\phi_{RS1}, \phi_{RS2}, \phi_{RS3}, \phi_{RS4}$ を水平帰線期間中“H”レベルとなるクロックパルスとする。このように設定することにより、図17に示した垂直走査回路は、図8に示した第2実施例と同じ動作をし、ノンインターレース走査が行われる。

【0051】次に、2行混合インターレース走査について、図18に示したタイミングチャートに基づいて説明する。このタイミングチャートでは、1, 2行、3, 4行、...の信号が混合されるフィールドをAフィールドとし、2, 3行、4, 5行、...の信号が混合されるフィールドをBフィールドとしている。また、Aフィールドで読み出される信号の光蓄積時間を決めるリセットタイミングのスタートパルスから、Bフィールドで読み出

される信号の光蓄積時間を決めるリセットタイミングのスタートパルスまでをRSAフィールドとし、その逆の期間をRSBフィールドとしている。

【0052】 ϕ_{V1A} 、 ϕ_{V1B} はシフトレジスタ300の駆動パルスであり、Aフィールドでは、 ϕ_{V1B} と図18には示していないが ϕ_{V2B} のみクロック信号とし、 ϕ_{V1A} と同じく図18には示していないが ϕ_{V2A} は常時“L”レベルとし、一方Bフィールドでは、 ϕ_{V1A} と ϕ_{V2A} のみクロック信号とし、 ϕ_{V1B} と ϕ_{V2B} は常時“L”レベルとし、フィールド毎にシフトタイミングが変わるようにしている。なお、本実施例では、フィールドの切り換わり時点でもシフト動作がされるように、1周期間のみ ϕ_{V1A} 、 ϕ_{V2A} と ϕ_{V1B} 、 ϕ_{V2B} が重なるように構成されている。 ϕ_{YST} はスタートパルスで、読み出し及びリセットのタイミングで“H”レベルとなるパルスである。この実施例では、リセットのタイミングで“H”レベルとなる期間は2Hとしている。CONTは読み出しとリセットのタイミングを識別するコントロール信号で、この実施例では、“H”レベルが読み出しと認識され、“L”レベルがリセットと認識されるようにしている。

【0053】 ϕ_{RD} は、CMD受光素子の読み出し期間となる水平有効期間中“H”レベルとなるパルスである。 ϕ_{RS1} 、 ϕ_{RS2} 、 ϕ_{RS3} 、 ϕ_{RS4} は、CMD受光素子のリセット期間となる水平帰線期間中“H”レベルとなる2H周期のパルスで、RSAフィールドでは、 ϕ_{RS1} と ϕ_{RS2} 及び ϕ_{RS3} と ϕ_{RS4} とが同一位相になっており、RSBフィールドでは、 ϕ_{RS1} と ϕ_{RS4} 及び ϕ_{RS2} と ϕ_{RS3} とが同一位相になっている。

【0054】 $S_0 \sim S_4$ は、シフトレジスタ300の出力であり、クロックの制御によりAフィールドでは、 S_1 と S_2 、 S_3 と S_4 、...が同じタイミングで、Bフィールドでは、 S_2 と S_3 、 S_4 と図18には図示されていない S_5 、...が同じタイミングとなる。

【0055】 $M_1 \sim M_4$ は、組み合わせ回路320の出力である。読み出しのタイミングにおいては、シフトレジスタ出力とクロック ϕ_{RD} が共に“H”レベルとなる期間に出力が“L”レベルとなるので、Aフィールドでは M_1 と M_2 、 M_3 と M_4 、...という組み合わせで、またBフィールドでは、 M_2 と M_3 、 M_4 と図18には図示されていない M_5 、...という組み合わせで、順次CMD受光素子の読み出し期間である水平有効期間中“L”レベルとなる。一方、リセットのタイミングにおいては、シフトレジスタ出力とクロック ϕ_{RS1} 、 ϕ_{RS2} 、 ϕ_{RS3} 、 ϕ_{RS4} のいずれかが共に“H”レベルとなる期間“L”レベルとなるので、RSAフィールドでは、 M_1 と M_2 、 M_3 と M_4 、...という組み合わせで、またRSBフィールドでは、 M_2 と M_3 、 M_4 と M_5 、...という組み合わせで、順次CMD受光素子のリセット期間である水平帰線期間中“L”レベルとなる。

【0056】 $G_1 \sim G_5$ は、レベルミックス回路LMの

出力であり、前記組み合わせ回路320の出力 M_1 、 M_2 、 M_3 、...をレベルミックス回路LMに入力することにより、CMD受光素子を動作させるための4値レベル信号が出力され、各行の共通ラインに印加される。

【0057】以上説明したように、図17に示した構成の垂直走査回路を用いることにより、リセット及び読み出しのタイミングでシフトされるパルスの位相差に相当する光蓄積時間をもつシャッター動作を行わせることができ、クロックを制御することによって2行混合インターレース走査とノンインターレース走査とを切り換えることができる。また2行混合インターレース走査においては、各行の光蓄積時間がフィールドが異なっても同じであるため、フィールド間の光蓄積時間の違いによるフィールドフリッカが生じない。

【0058】なお、上記第4実施例においても、前記第1～第3実施例と同様に、“H”、“L”の情報伝達レベルは、本実施例と異ならせることは可能であり、またコントロール信号のシフト動作を更に間引き、素子数を減らすことも可能なことは明らかである。

【0059】また上記第3実施例と第4実施例からわかるように、読み出し・リセット識別回路中の読み出し及びリセットの期間を与えるクロックラインを、それぞれ2系統と4系統とすることにより、クロックの制御のみで、ノンインターレース、2行混合インターレース、1行インターレースの各走査を切り換えることの可能な垂直走査回路を構成することができる。

【0060】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、単一の垂直走査回路で、信号読み出し及びリセットのタイミングでシフトするパルスに同期して画素行を選択し、信号の読み出し動作及びリセット動作を行う読み出し信号及びリセット信号を発生するように構成したので、簡単な構成でチップ面積の増大の割合を低減しコストの増大を抑えた、クロックの制御によりインターレース/ノンインターレース走査切り換え可能なシャッター機能を有するX-Yアドレス型の固体撮像素子を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像素子の基本的な実施例を示す概念図である。

【図2】本発明の第1の具体的な実施例の垂直走査回路を示す回路構成図である。

【図3】図2に示した第1実施例の垂直走査回路の動作を説明するためのタイミングチャートである。

【図4】図2に示した第1実施例の垂直走査回路の変形例を示す回路構成図である。

【図5】CMD受光素子を用いた固体撮像素子における各行の共通ゲートラインに印加する信号を示す図である。

【図6】レベルミックス回路の構成例を示す回路構成図

である。

【図7】図6に示したレベルミックス回路の動作を説明するためのタイミングチャートである。

【図8】本発明の第2の具体的な実施例の垂直走査回路を示す回路構成図である。

【図9】図8に示した第2実施例の垂直走査回路の動作を説明するためのタイミングチャートである。

【図10】本発明の第3の具体的な実施例の垂直走査回路に用いるシフトレジスタの構成を示す図である。

【図11】図10に示したシフトレジスタをシンボルで示す図である。

【図12】図10、図11に示すシフトレジスタの動作を説明するためのタイミングチャートである。

【図13】図10、図11に示すシフトレジスタの動作を説明するためのタイミングチャートである。

【図14】図10、図11に示すシフトレジスタの動作を説明するためのタイミングチャートである。

【図15】第3実施例の垂直走査回路を示す回路構成図である。

【図16】図15に示した第3実施例の垂直走査回路の動作を説明するためのタイミングチャートである。

【図17】本発明の第4の具体的な実施例の垂直走査回路を示す回路構成図である。

【図18】図17に示した第4実施例の垂直走査回路の動作を説明するためのタイミングチャートである。

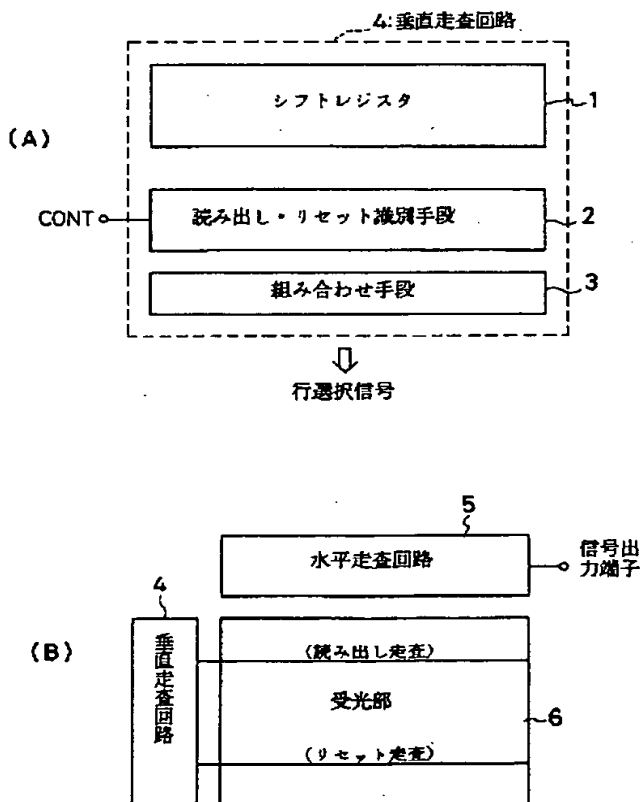
【図19】従来のシャッター機能を備えた固体撮像素子の構成例を示すブロック図である。

【図20】図19に示した従来の固体撮像素子における垂直走査回路の出力走査パルスのタイミングを示す図である。

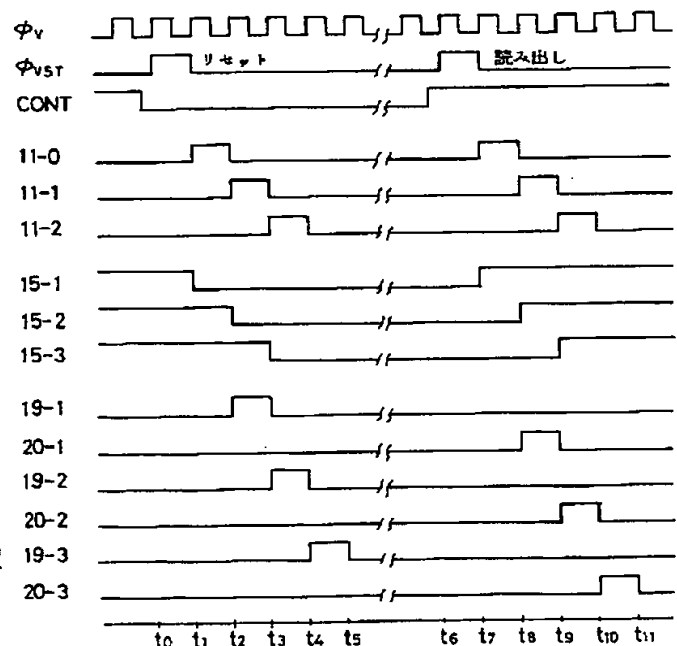
【符号の説明】

- 1 シフトレジスタ
- 2 読み出し・リセット識別手段
- 3 組み合わせ手段
- 4 垂直走査回路
- 5 水平走査回路
- 6 受光部

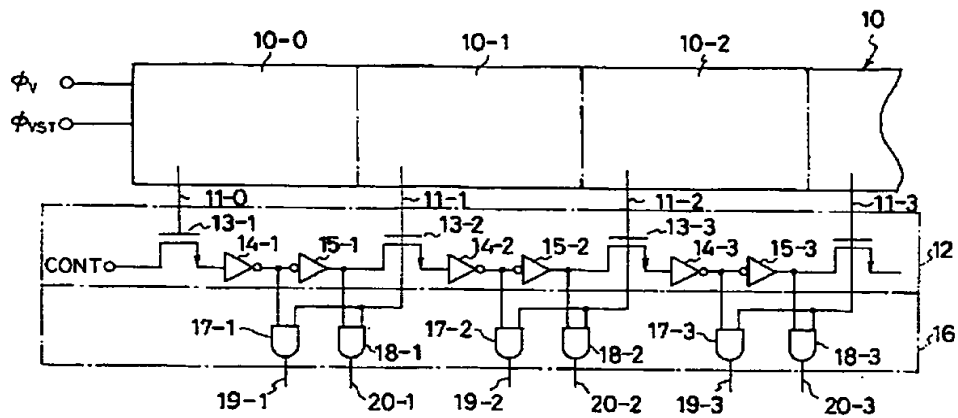
【図1】



【図3】

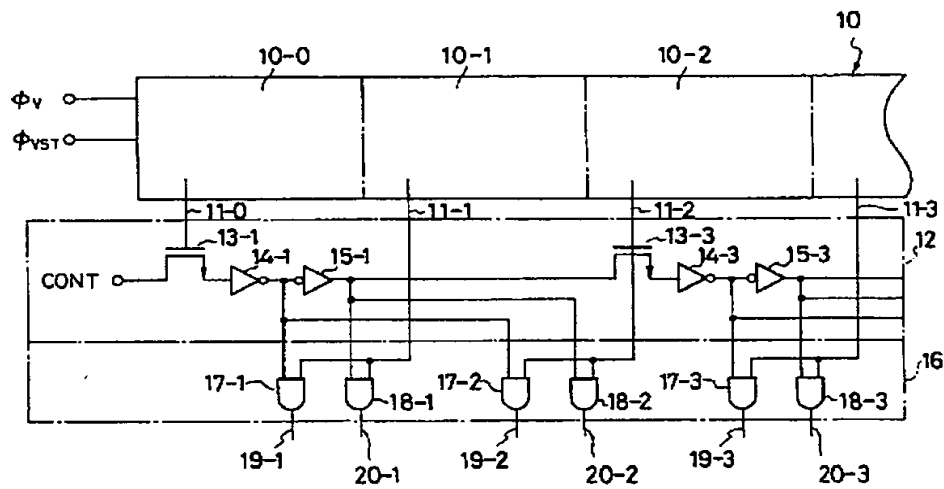


【図 2】

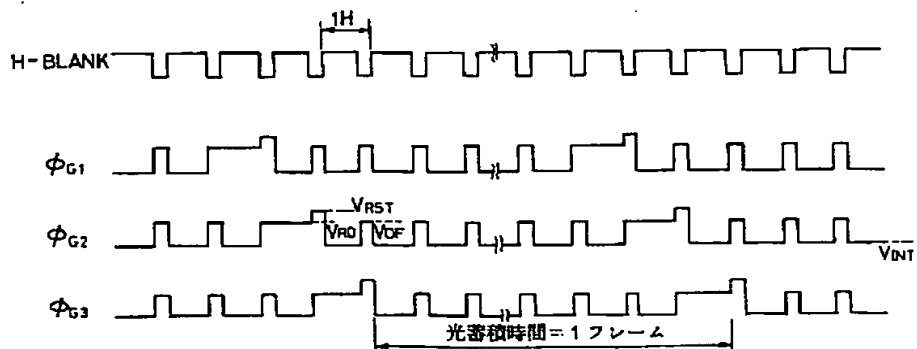


10 : シフトレジスタ
12 : 読み出し・リセット識別回路
16 : 組み合わせ回路

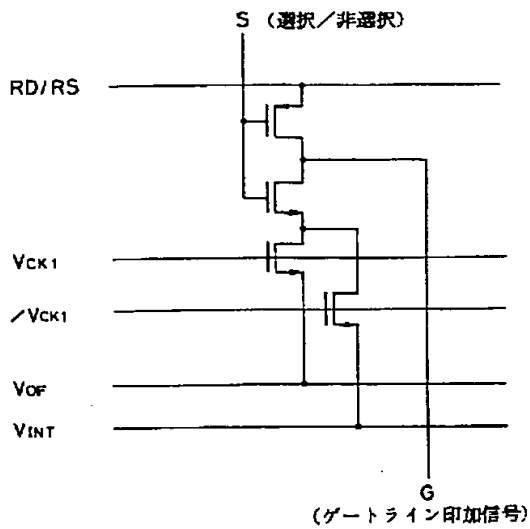
【図 4】



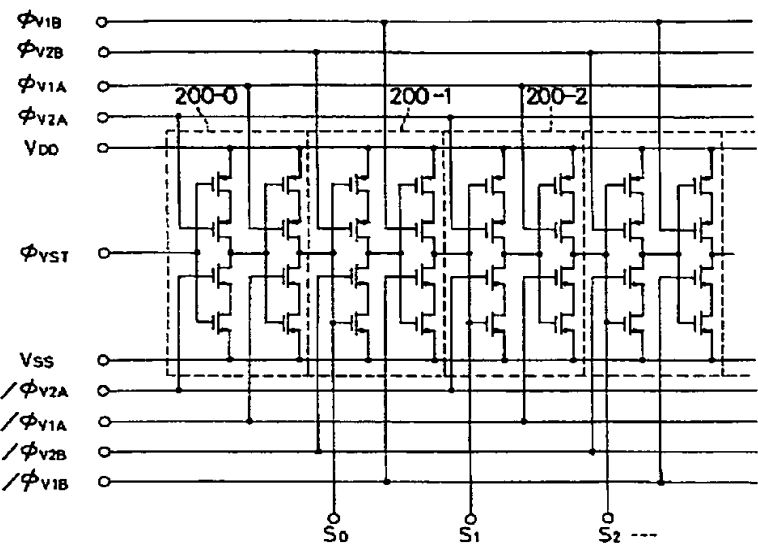
【図 5】



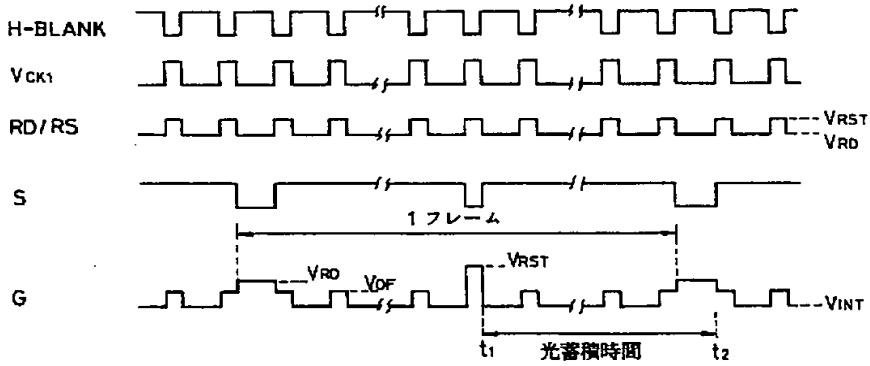
【図6】



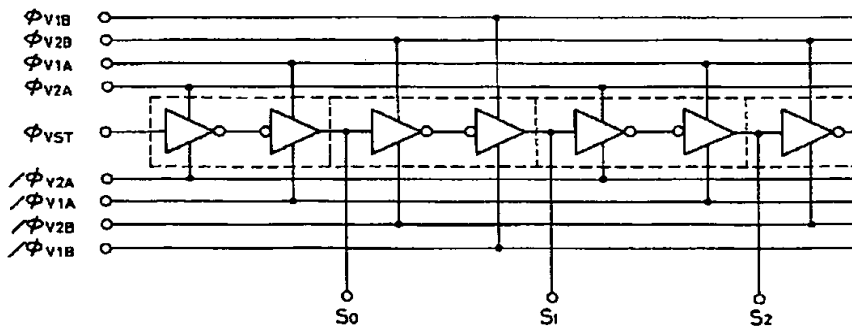
【図10】



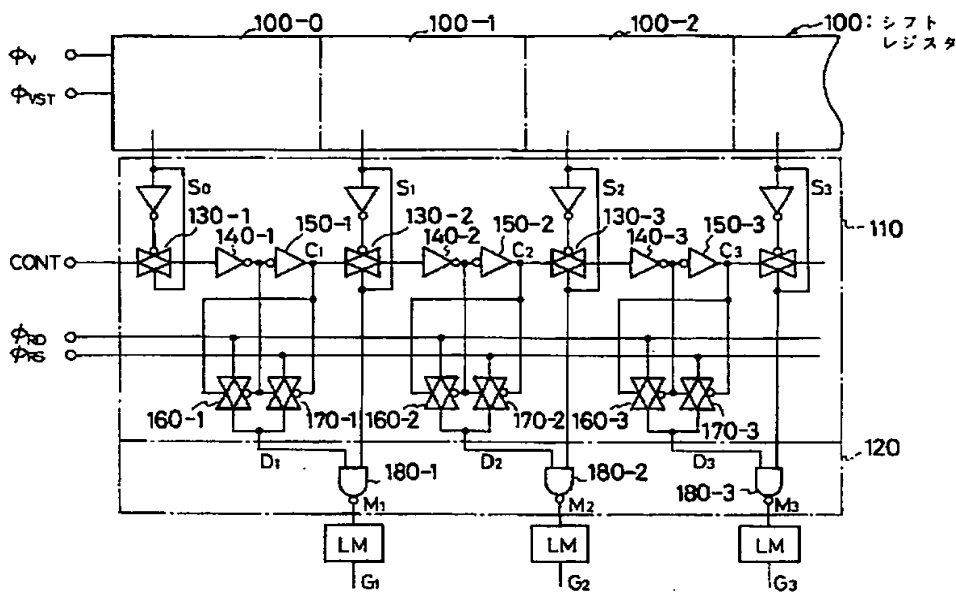
【図7】



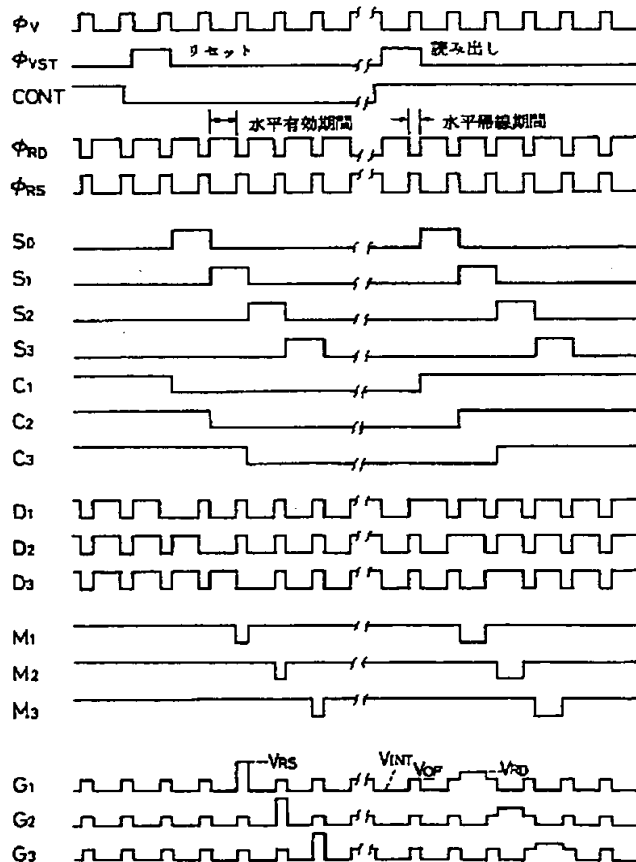
【図11】



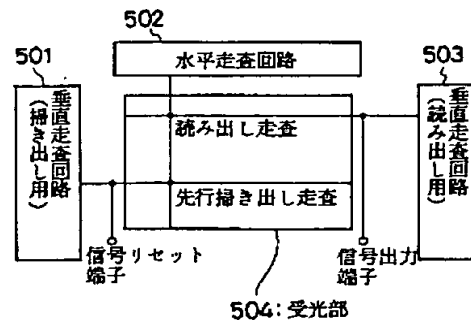
【図8】



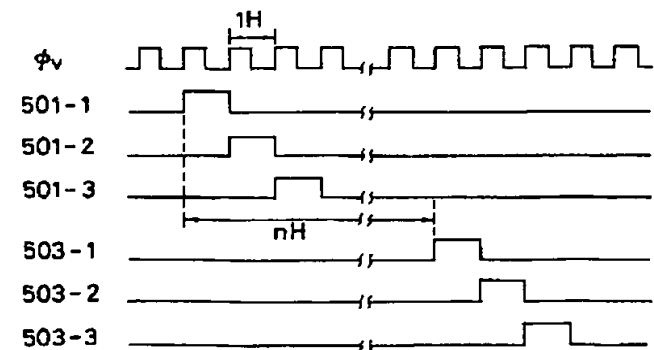
【図9】



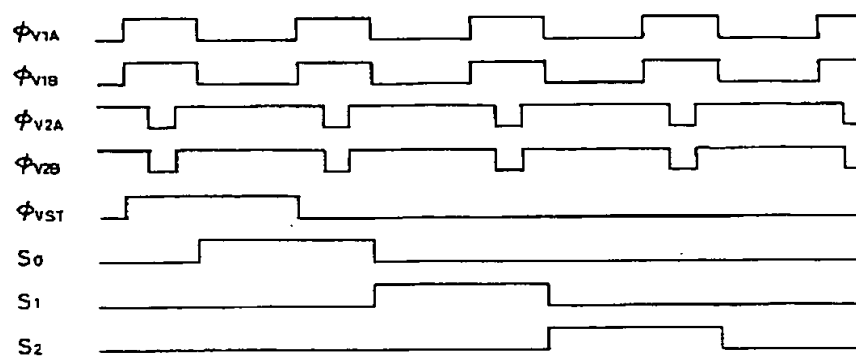
【図19】



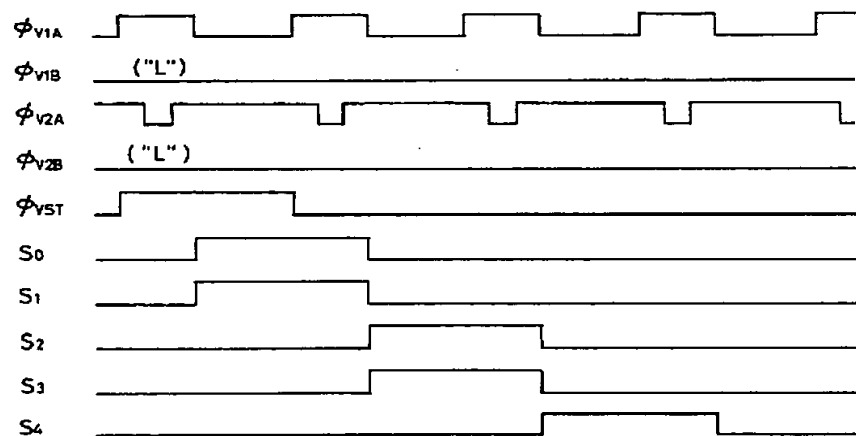
【図20】



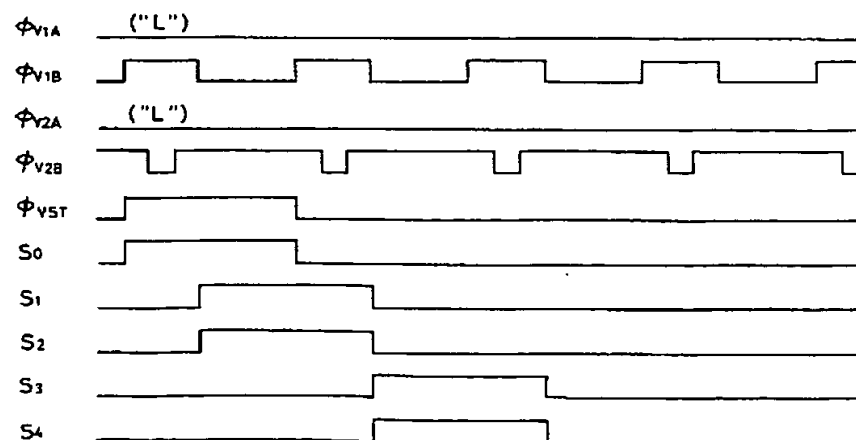
【図12】



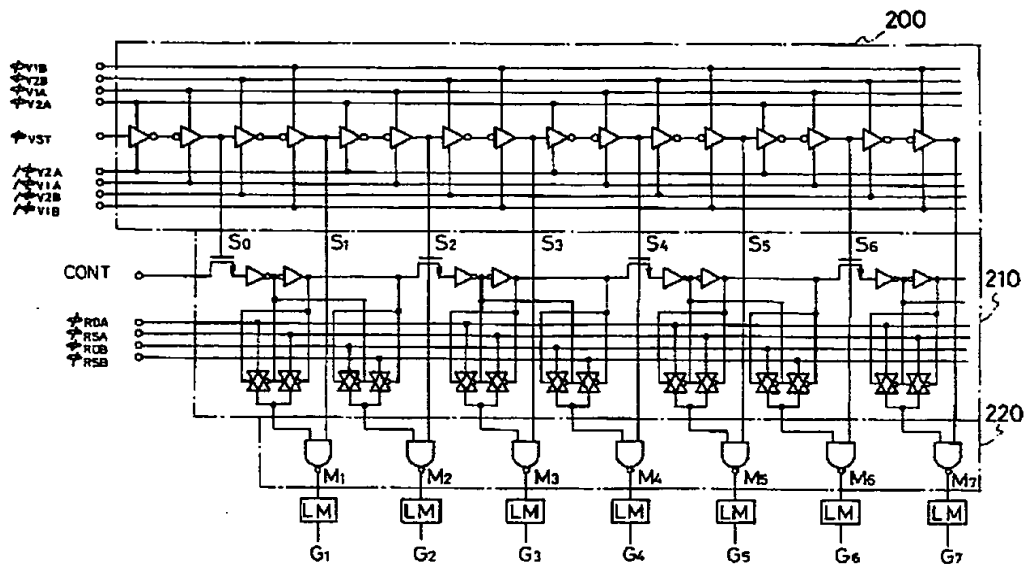
【図13】



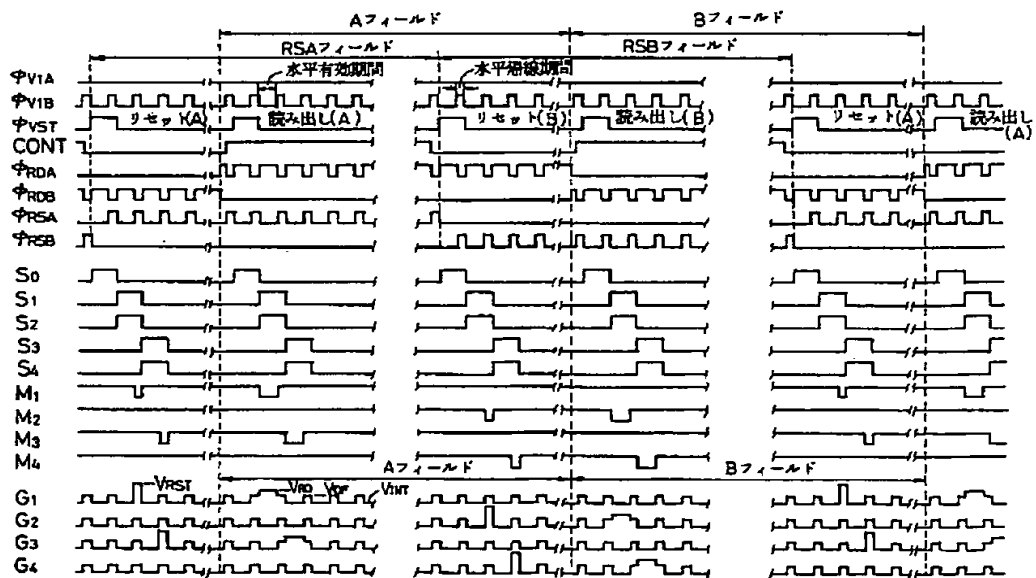
【図14】



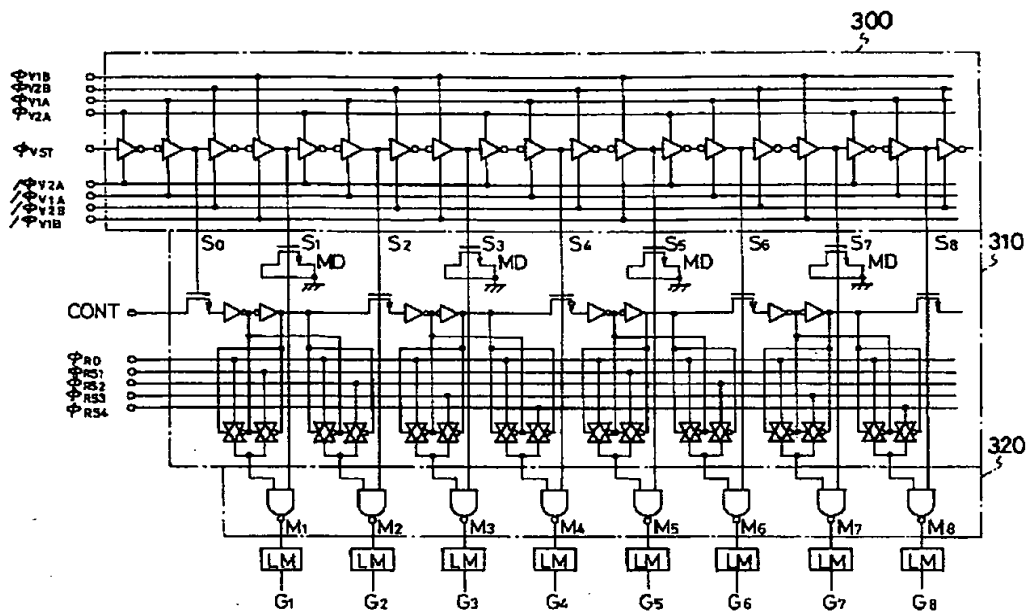
【図15】



【図16】



【図17】



【図18】

